

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-203971

(43)Date of publication of application : 09.08.1996

(51)Int.Cl. H01L 21/66
G01R 31/26

(21)Application number : 07-062887 (71)Applicant : SANYO ELECTRIC CO LTD

(22)Date of filing : 22.03.1995 (72)Inventor : NAGASAWA HIDEJI
NISHIDA ATSUHIRO
FUJIWARA HIDEAKI
MAMENO KAZUNOBU

(30)Priority

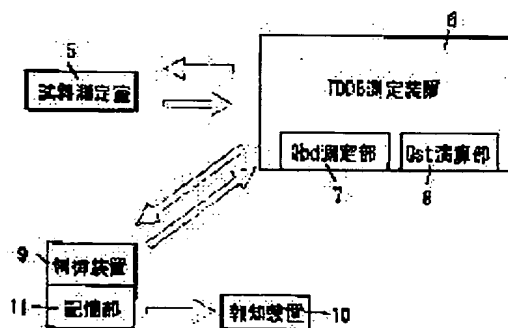
Priority number : 06288414 Priority date : 22.11.1994 Priority country : JP

(54) ESTIMATION METHOD AND ESTIMATION EQUIPMENT OF SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To simply find the condition that damage is scarcely generated by ion irradiation, by using the total amount of charges which are implanted in an electrode of a device after ions are implanted in an electrode on an insulating film and heat treatment is performed, and the total amount of charges which have flowed in the insulating film until breakdown occurs.

CONSTITUTION: A test device which has been subjected to ion implantation and heat treatment is put in a measuring chamber 5. Data from a Qbd measuring part 7 and a Qst operating part 8 are inputted in a control equipment 9, which parts 7 and 8 are based on the measured result of a measuring equipment 6 for dielectric breakdown with time (TDDb). In the control equipment 9, the input data are compared with the reference value inputted in a storage part 11 which value is constituted of a test device in which ions are not implanted. For example, an indication whether the acceleration voltage or the dosage at the time of ion implantation was too high is given to an alarm equipment 10. Thereby an estimation method and an estimation equipment which simply find the condition that damage is not generated in an insulating film under an electrode at the time of ion implantation.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] An assessment method of a semiconductor device characterized by evaluating a deterioration condition of said insulator layer from a property with the amount Qbd of charges which flowed an insulator layer by the time it resulted in the amount Qst of net charge and destruction which pour ion into an electrode on an insulator layer, and are poured into said electrode in a device after heat-treating further.

[Claim 2] Said assessment is the assessment method of a semiconductor device according to claim 1 characterized by what is judged by whether this nominal contour is resembled on the basis of a property with the amount Qbd of charges which flowed an insulator layer by the time it resulted in the amount Qst of net charge and destruction which are poured into said electrode measured using a device which does not carry out an ion implantation.

[Claim 3] long duration annealing according [said heat treatment] to heating apparatus, and RTA — short-time annealing by law or long duration annealing by heating apparatus, and RTA — an assessment method of a semiconductor device according to claim 1 or 2 characterized by being any one of concomitant use with short-time annealing by law.

[Claim 4] Assessment equipment of a semiconductor device characterized by establishing a means to detect a property with the amount Qbd of charges which flowed an insulator layer by the time it resulted in the amount Qst of net charge and destruction which pour ion into an electrode on an insulator layer, and are poured into said electrode in a device after heat-treating further, and a means to evaluate a deterioration condition of said insulator layer from this property.

[Claim 5] Assessment equipment of a semiconductor device according to claim 4 characterized by establishing a means to memorize beforehand a property with the amount Qbd of charges which flowed an insulator layer by the time it resulted in the amount Qst of net charge and destruction which are poured into said electrode measured using a device which does not carry out an ion implantation as criteria, and a means to judge a deterioration condition of said insulator layer by whether this nominal contour is resembled.

[Claim 6] Assessment equipment of a semiconductor device according to claim 4 or 5 characterized by establishing a means to report a result of said assessment.

[Claim 7] long duration annealing according [said heat treatment] to heating apparatus, and RTA — short-time annealing by law or long duration annealing by heating apparatus, and RTA — assessment equipment of a semiconductor device given in claim 4 characterized by being any one of concomitant use with short-time annealing by law thru/or any 1 term of 6.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the assessment method for judging whether the insulator layer under an electrode has deteriorated, and assessment equipment, after pouring ion for example, into a gate electrode.

[0002]

[Description of the Prior Art] With detailed-izing of an element, and high integration, gate oxide, such as an MOS transistor, is thin-film-ized increasingly, and prevention of the damage to oxide films, such as the charge up in an ion-implantation process, is becoming still more important. For example, if it is in the process which pours ion into the electrode on an oxide film by the high current, it is necessary to take care that an impurity does not reach an oxide film so that the range of the impurity ion may be settled in the thickness of an electrode.

[0003] If it is in the process which pours impurity ion into a gate electrode especially, since impregnation to the source and a drain is also performed simultaneously in many cases, also in consideration of these formation conditions, the acceleration voltage (it is also called impregnation energy) of ion is determined. So, the conventional example was performing the ion implantation in the dose at that time with the to some extent high acceleration voltage which is the range where ion does not reach an oxide film.

[0004]

[Problem(s) to be Solved by the Invention] If it is in the conventional example, there is a problem that it is difficult to determine acceleration voltage which does not give a damage to gate oxide. For example, the knocked-on atom produced at the time of an ion implantation enters into an oxide film like the white arrow head of drawing 13 , and degrading the membraneous quality of an oxide film has also become the cause which makes this conditioning difficult.

[0005] This invention offers the method and equipment which find out the conditions which cannot give the damage by ion irradiation easily to an insulator layer simple in view of this trouble.

[0006]

[Means for Solving the Problem] An assessment method of a semiconductor device according to claim 1 evaluates a deterioration condition of said insulator layer from a property with the amount Qbd of charges which flowed an insulator layer by the time it resulted in the amount Qst of net charge and destruction which pour ion into an electrode on an insulator layer, and are poured into said electrode in a device after heat-treating further.

[0007] Moreover, whether this nominal contour is resembled on the basis of a property with the amount Qbd of charges which flowed an insulator layer by the time it resulted in the amount Qst of net charge and destruction which are poured into said electrode measured using a device which does not carry out an ion implantation estimates an assessment method of a semiconductor device according to claim 2. moreover, long duration annealing according [an assessment method of a semiconductor device according to claim 3] said heat treatment to heating apparatus and RTA — short-time annealing by law or long duration annealing by heating apparatus, and RTA — any one of concomitant use with short-time

annealing by law performs.

[0008] Moreover, a means to detect a property with the amount Qbd of charges which flowed an insulator layer by the time assessment equipment of a semiconductor device according to claim 4 resulted in the amount Qst of net charge and destruction which pour ion into an electrode on an insulator layer, and are poured into said electrode in a device after heat-treating further, and a means to evaluate a deterioration condition of said insulator layer from this property are established. Moreover, assessment equipment of a semiconductor device according to claim 5 establishes a means to memorize beforehand a property with the amount Qbd of charges which flowed an insulator layer by the time it resulted in the amount Qst of net charge and destruction which are poured into said electrode measured using a device which does not carry out an ion implantation as criteria, and a means to judge a deterioration condition of said insulator layer by whether this nominal contour is resembled.

[0009] Moreover, assessment equipment of a semiconductor device according to claim 6 establishes a means to report a result of assessment. moreover, long duration annealing according [assessment equipment of a semiconductor device according to claim 7] said heat treatment to heating apparatus and RTA — short-time annealing by law or long duration annealing by heating apparatus, and RTA — any one of concomitant use with short-time annealing by law performs.

[0010]

[Function] long duration annealing according an insulator layer to heat treatment, i.e., heating apparatus, after pouring ion into the electrode on an insulator layer like an oxide film, or RTA — performing short-time annealing by law — or long duration annealing by heating apparatus and RTA — the damage by the impact of an ion implantation is improved by using together short-time annealing by law.

[0011] It can judge whether the damage has been improved or not with a property graph with the amount Qbd of charges which flowed the insulator layer by the time it resulted in the amount Qst (only henceforth Qst) of net charge and destruction which are poured into an electrode. Since it means that the damage was given by the ion implantation while this property graph shows that the damage has been improved, it is possible to find out conditions which do not give a damage to an insulator layer because this property graph makes conditions reverse so that it may stop showing that the damage has been improved.

[0012] Assessment equipment realizes these things automatically. An operator is told about the recoverability condition of a damage.

[0013]

[Example] The example of this invention is explained based on a drawing. Drawing 1 A and drawing 1 B show the cross-section structure of the testing device used in the experiment in this example. n mold (100) silicon substrate 1 top — LOCOS — after forming the element isolation region 2 by law, gate oxide 3 of 15nm (150A) of thickness is grown up in a wet ambient atmosphere, and the polish recon electrode 4 is formed after that. Etching of an electrode was performed by ECR plasma etching. The area of gate oxide used the pattern with the polish recon electrode of the various area which set 20x20 micrometers constant with 2, and set the antenna ratio (surface ratio of a polish recon electrode and gate oxide) to 1000-16000.

[0014] When the thickness of the polish recon electrode 4 is a 200nm (2000A) sample and drawing 1 A performs an ion implantation in this case, the damage (henceforth a charge damage) by the charge which the electrode of an antenna collects focusing on an oxide film, and the damage (henceforth an ion irradiation damage) by the ion poured in since polish recon thickness was comparatively thin, and a knocked-on atom reaching a direct oxide film are intermingled.

[0015] On the other hand, since the thickness of the polish recon electrode 4 is as thick as 800nm (8000A) in drawing 1 B, poured-in the ion or knocked-on atom cannot reach a direct oxide film, but the stress which joins an oxide film serves as only a charge damage by the charge which an electrode collects. The ion implantation performed the arsenic (As+) on condition that the range of beam current:12mA, acceleration energy:30 - 50keV, and

dose: 1×10^{14} to 2×10^{16} —/cm² using the ion implantation equipment of the batch type which has a wafer wheel. In addition, neutralization of the charge by the cascade shower is omitted at the time of impregnation. Moreover, the medium current ion implanter of single wafer processing was used for low dose impregnation.

[0016] Immediately after pouring in, heat treatment was electric furnace annealing (it is called FA below Furnace Annealing:), is temperature: 700–1000 degree C, time amount 30 minutes or, and lamp annealing (it is called RTA below Rapid Thermal Annealing:), and was performed on the conditions for temperature: 900–1100 degree C, and time amount 10 – 30 seconds. Now, if it continues impressing a certain fixed voltage, an insulator layer like an oxide film will produce dielectric breakdown, after a certain time amount passes. The time amount which results in this dielectric breakdown is the function of the field strength applied to an insulator layer. This is called a with-time dielectric-breakdown phenomenon (Time-Dependent Dielectric Breakdown), i.e., TDDB.

[0017] Qbd (the amount of charges which flowed the oxide film by the time it resulted in destruction) finds time amount until it results [from the TDDB measurement which impressed constant current stress (10 – 25 mA/cm²) to the antenna capacitor which performed the ion implantation on condition that versatility] in destruction 50%, and calculates it using a degree type.

Qbd = ist x tdb — here, it is the time amount to which ist results in stress current and tdb results in destruction 50%. In addition, stress current was made into 10 mA/cm².

[0018] Furthermore, in order to quantify the relation between the stress given by the ion implantation, and Qbd, a parameter called Qst in the stress of the charge in an ion implantation is used. In an ion implantation, the amount (the amount of charges) of the ion poured into per unit area of a wafer from a dose is known. When an ion implantation is performed to an antenna capacitor, the amount of charges which a capacitor receives from electrode (antenna) area is calculated. If it assumes that the whole of the charge flows into thin gate oxide, the amount Qst of stress charges which flows during an ion implantation at gate oxide is calculable with a degree type.

[0019] $Qst = q \times D \times R$ — here — q — base — a charge and D express a dose and R expresses an antenna ratio. Under the condition as above, drawing 2 shows the relation of Qbd and Qst in case the thickness of the polish recon electrode 4 is 800nm, and expresses the progress condition of oxide-film deterioration in case the stress by the ion implantation increases.

[0020] As conditions, the ion implantation of As⁺ was carried out on condition that acceleration voltage: 50keV and dose: 1.0×10^{16} —/cm², and heat treatment by FA for processing-time 30 minutes was performed after that. Moreover, Qst is changed by the antenna ratio. Generally, only in the part of the amount of charges which passes an oxide film, Qbd decreases in constant current TDDB. Therefore, Qbd of an oxide film which is not performing the ion implantation is a line (straight line of the inclination –(minus) 1 which made the y intercept Qbd0 expressed with $Qbd = Qbd0 - Qst$) shown by the dotted line in drawing, if the amount of impregnation charges by constant current stress is taken along a horizontal axis. It will meet and decrease.

[0021] When the thickness of the polish recon electrode 4 is 800nm, the stress which impregnation ion does not reach even to an oxide film and joins an oxide film is based on a charge. From drawing, heat treatment shows hardly recovering a Qbd value. In addition, in the case of 900 degrees C, recovery of the some of a Qbd value is seen in the field where an antenna ratio is small, but it is thought that the damage by etching at the time of sample production recovered this since the value was large rather than the Qbd value before impregnation (Qbd0) (although the annealing experiment of the sample which is not performing the ion implantation was conducted separately, same result was brought in 900 degrees C).

[0022] Moreover, at 1000 degrees C, Qbd becomes fixed with about 30 C/cm² regardless of the value of Qst. By performing 1000-degree C heat treatment, the oxide film has deteriorated and this is considered because it became the same membraneous quality eventually irrespective of the existence of an ion implantation. Drawing 3 shows the relation of Qbd and Qst at the time of heat-treating by RTA. The inclination to hardly recover the

charge damage by impregnation is seen like the case of FA.

[0023] By the way, on the structure of ion implantation equipment, since an ion implantation is performed intermittently, a charge damage will also be added intermittently. In order to investigate how drawing 4 differs from FN stress which added stress continuously, the result of having heat-treated in the sample which added FN stress with various current density with the TDDB measuring instrument is shown. Conditions were made into FA temperature [of 900 degrees C], and time amount 30 minutes.

[0024] Also in this case, it is before and after heat treatment, and the same (namely, when a charge damage is added intermittently) inclination as the case where change was not looked at by the Qbd value but stress is given to it by the ion implantation is shown. Therefore, when the thickness of the polish recon electrode 4 is 800nm, it can be said that deterioration of the oxide film by the ion implantation is what is depended on tunnel current flowing to an oxide film like FN stress added continuously. Furthermore, the same is said of the inclination which a Qbd value does not recover by heat treatment.

[0025] Next, drawing 5 and drawing 6 show the relation of Qbd and Qst in case the thickness of the polish recon electrode 4 is 200nm. In the case of FA, drawing 5 is a result when drawing 6 performs RTA. Ion-implantation conditions set As+ to acceleration voltage:50keV and dose:1.0x10¹⁶-/cm² like the case of a charge damage. In this case, poured-in the ion or knocked-on atom reaches even to an oxide film, and it is in the condition that the ion irradiation damage and the charge damage are intermingled.

[0026] In this experiment condition, since the amount Qst of passage charges is changed by changing an antenna ratio, in every point of measurement, it is the same amount about an ion irradiation damage. On such conditions, an ion irradiation damage becomes dominant from a charge damage, and a Qbd value becomes quite small compared with the case of only a charge damage. Although recovery of Qbd will hardly be seen below 800 degrees C as drawing 5 if heat treatment by FA is performed to the sample which such a damage joined, at 900 degrees C, the Qbd value is recovered to 30 C/cm² regardless of the value of Qst.

[0027] An ion irradiation damage is dominant and this shows recovering the defect in that case by hot heat treatment, when the thickness of the polish recon electrode 4 is thin. Moreover, also in the sample in RTA, heat treatment is increasing the value of Qbd like the case of FA. Moreover, the amount of recovery is also large as the processing time becomes [processing temperature] high for a long time.

[0028] When the thickness of the polish recon electrode 4 is thin, ion or a knocked-on atom is poured in into the oxide film, as mentioned above. Drawing 7 shows the result of having investigated how the current potential property of an oxide film having changed in such a case. Conditions are set to thickness:200nm of the polish recon electrode 4, impregnation ion:As+, acceleration voltage:50keV, and dose:5x10¹⁴-/cm², and heat treatment is omitted.

[0029] Drawing shows that change of the property by the ion implantation is seen in the high electric-field field (6 or more MV/cm) to which FN current is observed. Drawing 8 shows the result of having investigated the temperature characteristic in the high electric field before impregnation and after impregnation and heat treatment (10 MV/cm), in order to investigate the conduction mechanism at this time. Although current does not change with measurement temperature before impregnation, temperature dependence comes to be seen in the sample which poured in. Furthermore, if 900-degree C FA is performed, this temperature dependence is lost. From this, by the sample which the ion irradiation damage joined, a defect is formed into an oxide film and it is thought that the current component by the electric conduction through the trap level by it is contained. Moreover, the defect is also understood that it recovers by 900-degree C heat treatment.

[0030] Since change of the temperature dependence of the current potential property described above and the defect in an oxide film are associated, the result of having performed structural analysis of an oxide film is described below. The defect in an oxide film was evaluated about a charge damage and each ion irradiation damage using the ESR process (Electron Spin Resonance: electron spin resonance method). Furthermore, since the oxide film was dramatically thin, in order to raise sensitivity, it measured by the very low temperature of

10K.

[0031] Drawing 9 shows the ESR spectrum of gate oxide 3 in case the thickness of the polish recon electrode 4 is 200nm. Impregnation conditions are impregnation ion:As⁺, acceleration voltage:50keV, and dose:1.0x10¹⁶-/cm², and heat treatment conditions were made into three kinds, "with no processing", "FA:temperature of 900 degrees C, and time amount 30 minutes", and "RTA:temperature [of 1000 degrees C], and time amount 10 seconds."

[0032] It sets in the sample after an ion implantation, and is g value. (amount proportional to the magnetic moment) The paramagnetism center is observed by 2.0006. It turns out that this is based on the state of impairment (E' pin center,large) which has an oxygen hole in SiO₂, Si-O association in SiO₂ went out, and the unpaired electron is generated. If the spin density at this time assumes that E' pin center,large exists in homogeneity in a 15nm oxide film, it will serve as 6.3x10¹⁷ spins/cm³. Time-amount [after impregnation, FA:temperature of 900 degrees C, and] 30 minutes or, RTA: The above-mentioned paramagnetism center is extinguished by performing heat treatment for temperature [of 1000 degrees C], and time amount 10 seconds.

[0033] That is, it turns out that the state of impairment by said oxygen hole was restored by heat treatment. Drawing 10 shows the FTIR-ATR (Fourier Transform Infrared-Attenuated Total Reflectance: internal multiple echo Fourier transform infrared spectroscopy) spectrum of the gate oxide 3 in the sample whose thickness of the polish recon electrode 4 is 200nm.

[0034] It is shown that the peak near 820-/cm is the deformation vibration (Bending Mode) of O-Si-O, and is SiO₂ film, and change is seen on no conditions. On the other hand, the peak seen near 940-/cm was observed only immediately after impregnation, and is extinguished by heat-treating. It is thought that the absorption seen by this 980-/cm shifts to a low wave number side the peak seen here by distortion since the stretching vibration (Stretching Mode) of Si-O in SiO₂ film is called 980-/cm.

[0035] That is, it is possible that association of Si-O in an oxide film is cut by ion irradiation, and it is changing with it to the structure near SiO. On the other hand, this peak was not accepted in transit measurement. From this, change of the membrane structure by ion irradiation has taken place only on the pole front face of gate oxide 3, and this is considered to have been observed by the ATR method with the high resolution in a front face (Attenuated Total Reflectance: internal decay technique).

[0036] In an ion irradiation damage, this is the above-mentioned heat treatment conditions, and since recovery of Qbd is seen and the temperature dependence in a current potential property is also lost, they can consider that E' pin center,large is participating in the Qbd value and the mechanism of conduction greatly. Drawing 11 is data which proves that change of the membrane structure by ion irradiation has taken place only on the pole front face of gate oxide 3, and the thickness of gate oxide 3 measures the FTIR-ATR spectrum of the gate oxide 3 immediately after the ion implantation in the sample whose thickness of the polish recon electrode 4 is 200nm like drawing 10 at the point which are 149A, 144A, 128A, 124A, 117A, and 110A, respectively.

[0037] Measurement etched gate oxide 3 gradually using fluoric acid, and was performed to whenever [the]. Moreover, the conditions of an ion implantation set As⁺ to acceleration voltage:50keV and dose:1.0x10¹⁶-/cm². Distortion by the stretching vibration of Si-O is seen at a point (149A near the front face of gate oxide 3, 144A, 128A, 124A, and 117A), and is not seen at the other point (deep point in gate oxide 3). Moreover, this reduction was the same even when the acceleration voltage of an ion implantation was changed into 60KeV(s).

[0038] On the other hand, the paramagnetism center was not observed by the sample whose polish recon thickness is 800nm. Therefore, in the case of this condition, it is shown that ion or a knocked-on atom has not reached a direct oxide film. Now, drawing 12 is the block diagram showing the configuration of the damage assessment equipment to the oxide film in this example.

[0039] 5 is a sample test chamber and information equipment with which a Qbd test section and 8 consist in a TDDb measuring device and 7, and a control unit (for example, computer) and 10 consist [6] of CRT, a printer, a voice generator, etc. in Qst operation part and 9. The

heat-treated testing device which carried out the ion implantation is put in in said sample test chamber 5, and the data from the Qbd test section 7 and the Qst operation part 8 is inputted into a control unit 9 based on the measurement result from the Tddb measuring device 6.

[0040] A control unit 9 has the storage section (for example, ROM) 11 which memorizes the reference value (condition shown in the dotted line in drawing 2) by the testing device which does not carry out an ion implantation, and compares with said reference value the property by the data inputted from the Qbd test section 7 and the Qst operation part 8. If a control unit 9 is a property as measurement data shows to drawing 5 or drawing 6 , the damage was recovered, i.e., it will judge, "The ion irradiation damage existed at the beginning", and it will report that with information equipment 10. Furthermore, since it is or the acceleration voltage at the time of an ion implantation was too high or there were too many doses when it judges such, it directs to reduce either (or both sides) with information equipment 10.

[0041] An operator should just adjust suitably based on the directions from this information equipment 10. In addition, if the control unit 10 shows the property as measurement data shows to drawing 2 , at least, it will judge that there is no ion irradiation damage, and will report that with information equipment 10.

[0042]

[Effect of the Invention] If it is in the assessment method of the semiconductor device of this invention, and assessment equipment, conditions which do not give a damage to the insulator layer under the electrode at the time of an ion implantation can be found out easily.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the cross section of the testing device used for the experiment for proving this invention.

[Drawing 2] It is the graph which shows the relation of Qbd and Qst which were measured using the device which has not received the ion irradiation damage under FA processing conditions in the example of this invention.

[Drawing 3] It is the graph which shows the relation of Qbd and Qst which were measured using the device which has not received the ion irradiation damage under the RTA processing conditions in the example of this invention.

[Drawing 4] It is the graph which shows the relation of Qbd and FN stress in the example of this invention.

[Drawing 5] It is the graph which shows the relation of Qbd and Qst which were measured using the device which has received the ion irradiation damage under FA processing conditions in the example of this invention.

[Drawing 6] It is the graph which shows the relation of Qbd and Qst which were measured using the device which has received the ion irradiation damage under the RTA processing conditions in the example of this invention.

[Drawing 7] It is the graph which shows the current potential property of the oxide film which has received the ion irradiation damage.

[Drawing 8] It is the graph which shows the temperature dependence property of an oxide film.

[Drawing 9] It is the graph which shows the ESR spectrum of an oxide film.

[Drawing 10] It is the graph which shows change of the ATR spectrum of an oxide film.

[Drawing 11] It is the graph which shows the analysis result of the depth direction of the ATR spectrum in the oxide film immediately after an ion implantation.

[Drawing 12] It is the block circuit diagram of the assessment equipment in the example of this invention.

[Drawing 13] It is the cross section of the semiconductor device for explaining the trespass actuation to the oxide film of a knocked-on atom.

[Description of Notations]

1 Silicon Substrate

3 Gate Oxide

4 Polish Recon Electrode

5 Sample Test Chamber

6 TDDDB Measuring Device (Property Detection Means)

7 Qbd Test Section (Property Detection Means)

8 Qst Operation Part (Property Detection Means)

9 Control Unit (Property Detection Means, Assessment Means)

10 Information Equipment (Information Means)

11 Storage Section (Storage Means)

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

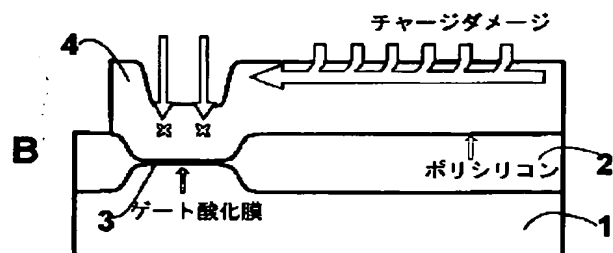
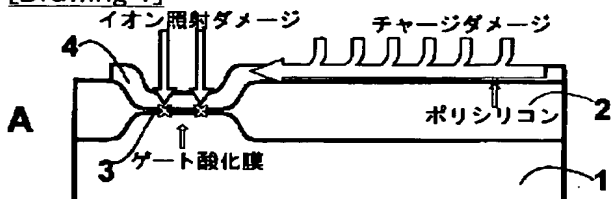
1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

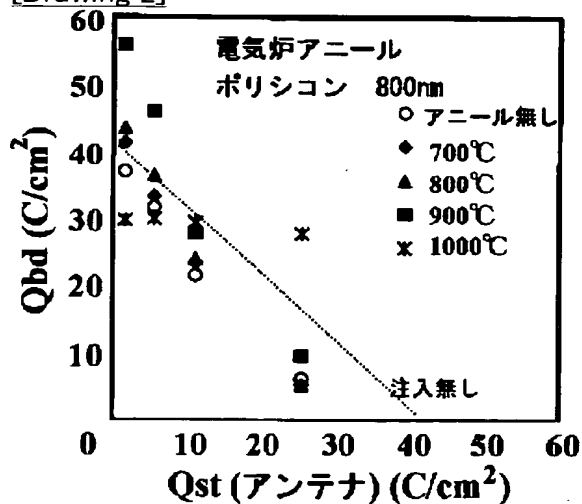
3.In the drawings, any words are not translated.

DRAWINGS

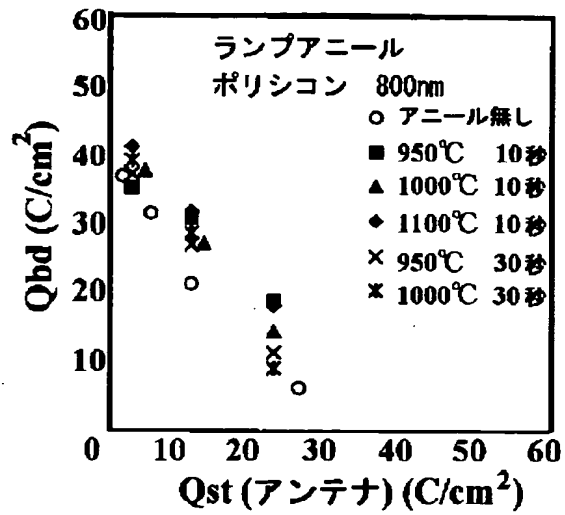
[Drawing 1]



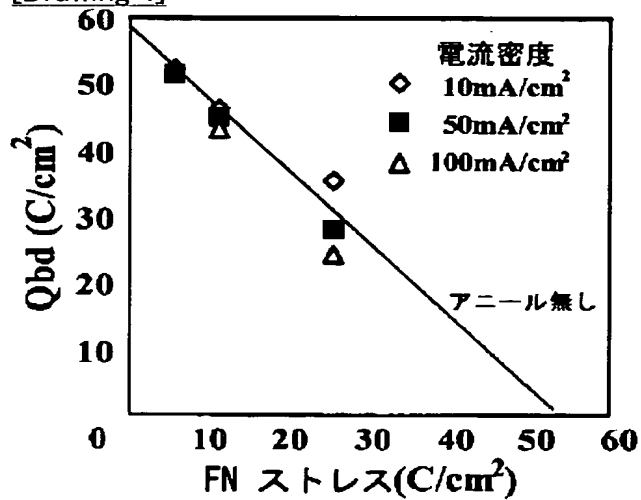
[Drawing 2]



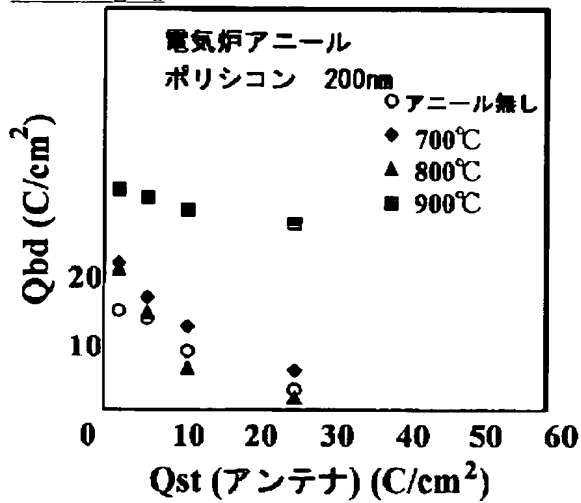
[Drawing 3]



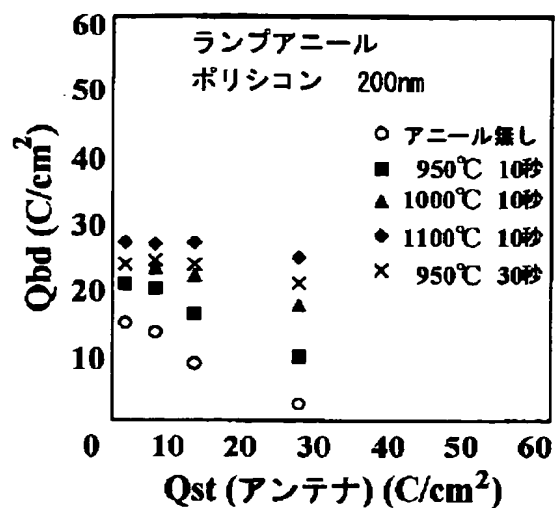
[Drawing 4]



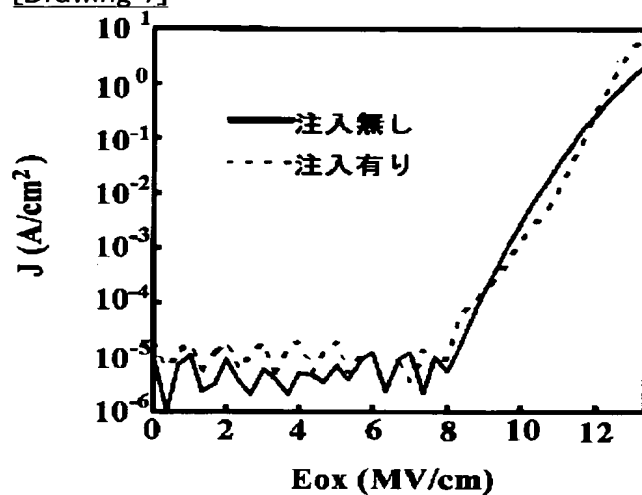
[Drawing 5]



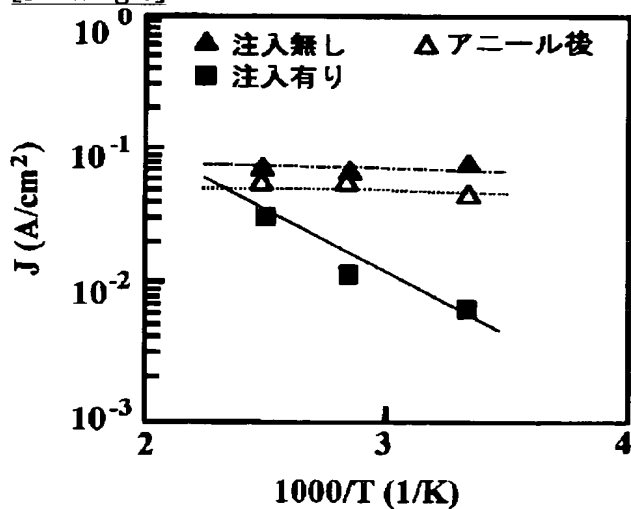
[Drawing 6]



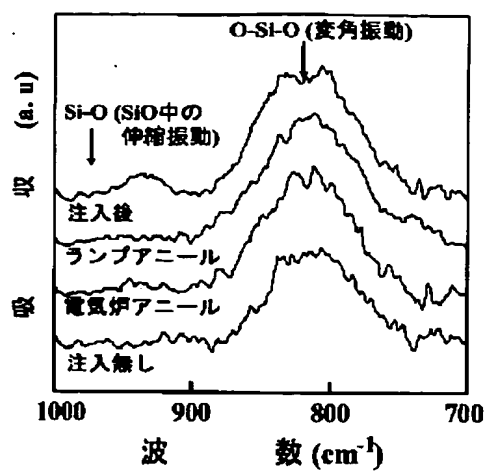
[Drawing 7]



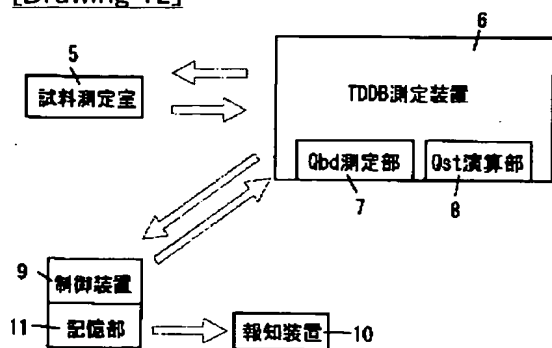
[Drawing 8]



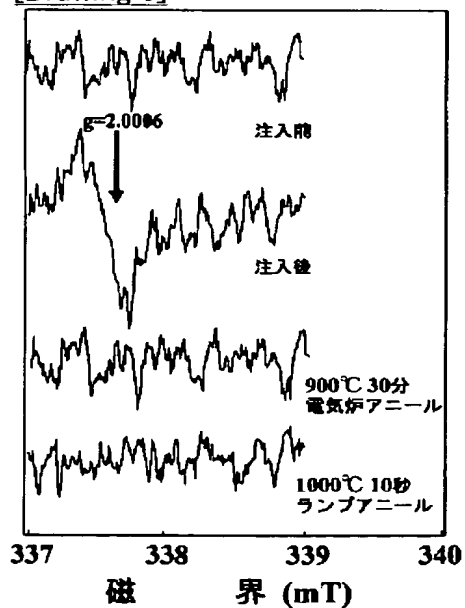
[Drawing 10]



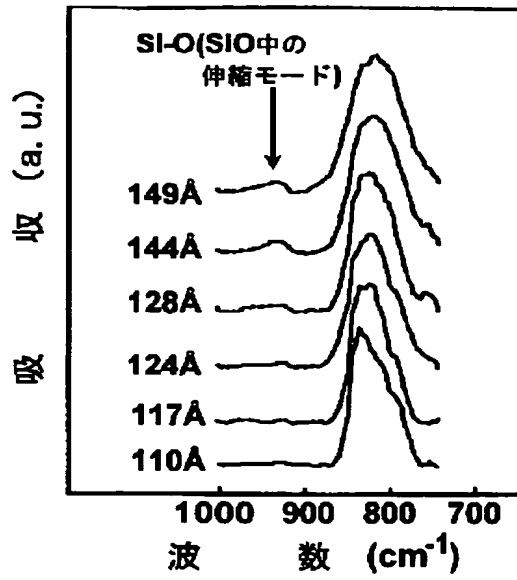
[Drawing 12]



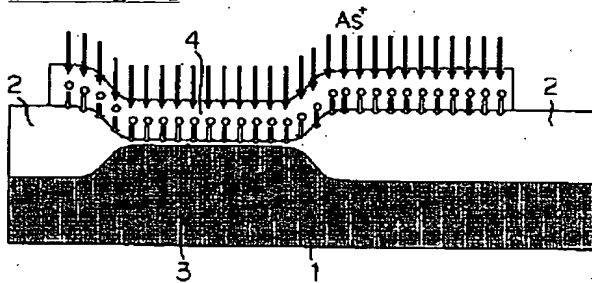
[Drawing 9]



[Drawing 11]



[Drawing 13]



[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開平8-203971

(43) 公開日 平成8年(1996)8月9日

(51) Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 21/66

Q

G 0 1 R 31/26

B

審査請求 未請求 請求項の数7 O L (全 8 頁)

(21) 出願番号 特願平7-62887

(22) 出願日 平成7年(1995)3月22日

(31) 優先権主張番号 特願平6-288414

(32) 優先日 平6(1994)11月22日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72) 発明者 長沢 秀治

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

(72) 発明者 西田 篤弘

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

(72) 発明者 藤原 英明

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

(74) 代理人 弁理士 岡田 敬

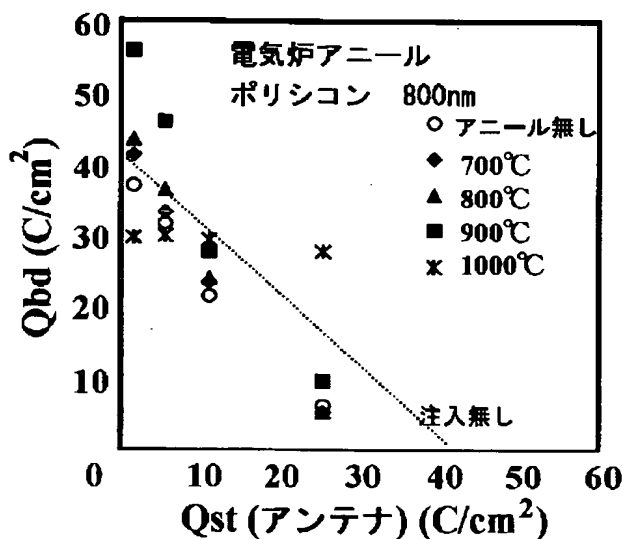
最終頁に続く

(54) 【発明の名称】 半導体装置の評価方法および評価装置

(57) 【要約】

【目的】 イオン注入時の電極下の絶縁膜にダメージを与えないような条件を簡単に見つけ出すことができる評価方法及び評価装置を提供すること。

【構成】 酸化膜上のポリシリコン電極にイオンを注入した後に、酸化膜を熱処理することにより、イオン注入の衝撃によるダメージが改善される。ダメージが改善されたか否かは、電極に注入される総電荷量 Q_{st} （以下、単に Q_{st} という）と破壊に至るまでに絶縁膜を流れた電荷量 Q_{bd} との特性グラフにより判断することができる。この特性グラフが、ダメージが改善されたことを示している間は、イオン注入によりダメージが与えられたことであるから、逆に、この特性グラフから、絶縁膜にダメージを与えないような条件を見つけたことが可能である。



1

【特許請求の範囲】

【請求項1】 絶縁膜上の電極にイオンを注入し、更に熱処理した後のデバイスにおける前記電極に注入される総電荷量 Q_{st} と破壊に至るまでに絶縁膜を流れた電荷量 Q_{bd} との特性から前記絶縁膜の劣化状態を評価することを特徴とした半導体装置の評価方法。

【請求項2】 前記評価は、イオン注入しないデバイスを用いて測定した前記電極に注入される総電荷量 Q_{st} と破壊に至るまでに絶縁膜を流れた電荷量 Q_{bd} との特性を基準とし、この基準形状に近似するか否かによって判定することを特徴とした請求項1に記載の半導体装置の評価方法。

【請求項3】 前記熱処理は加熱装置による長時間アニール、RTA法による短時間アニール又は加熱装置による長時間アニールとRTA法による短時間アニールとの併用のうちいずれか1つであることを特徴とした請求項1又は2に記載の半導体装置の評価方法。

【請求項4】 絶縁膜上の電極にイオンを注入し、更に熱処理した後のデバイスにおける前記電極に注入される総電荷量 Q_{st} と破壊に至るまでに絶縁膜を流れた電荷量 Q_{bd} との特性を検出する手段と、この特性から前記絶縁膜の劣化状態を評価する手段とを設けたことを特徴とする半導体装置の評価装置。

【請求項5】 イオン注入しないデバイスを用いて測定した前記電極に注入される総電荷量 Q_{st} と破壊に至るまでに絶縁膜を流れた電荷量 Q_{bd} との特性を予め基準として記憶する手段と、この基準形状に近似するか否かによって前記絶縁膜の劣化状態を判定する手段を設けたことを特徴とする請求項4に記載の半導体装置の評価装置。

【請求項6】 前記評価の結果を報知する手段を設けたことを特徴とする請求項4又は5に記載の半導体装置の評価装置。

【請求項7】 前記熱処理は加熱装置による長時間アニール、RTA法による短時間アニール又は加熱装置による長時間アニールとRTA法による短時間アニールとの併用のうちいずれか1つであることを特徴とした請求項4乃至6のいずれか1項に記載の半導体装置の評価装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、例えばゲート電極にイオンを注入した後に、電極下の絶縁膜が劣化しているか否かを判断するための評価方法及び評価装置に関する。

【0002】

【従来の技術】 素子の微細化、高集積化に伴い、MOSトランジスタ等のゲート酸化膜はますます薄膜化され、イオン注入プロセスにおけるチャージアップ等の酸化膜へのダメージの防止がますます重要になってきている。例えば、酸化膜上の電極に大電流でイオンを注入するプロセスにあっては、その不純物イオンの飛程が電極の厚

2

みに収まるよう、即ち、不純物が酸化膜に到達しないように注意する必要がある。

【0003】 特に、ゲート電極に不純物イオンを注入する工程にあっては、ソース、ドレインへの注入も同時に行われることが多いため、これらの形成条件をも考慮して、例えばイオンの加速電圧（注入エネルギーともいう）が決定される。そこで、従来例では、その時のドーズ量において、イオンが酸化膜に到達しない範囲で且つある程度高い加速電圧でイオン注入を行っていた。

10 【0004】

【発明が解決しようとする課題】 従来例にあっては、ゲート酸化膜にダメージを与えないような加速電圧を決定することが困難であるという問題がある。例えば、イオン注入時に生じるノックオン原子が図13の白矢印のように酸化膜中に入り込み、酸化膜の膜質を劣化させることもこの条件設定を困難にさせる一因となっている。

【0005】 本発明は、斯かる問題点に鑑み、絶縁膜に対しイオン照射によるダメージを与えにくい条件を簡便に見つけ出す方法及び装置を提供するものである。

20 【0006】

【課題を解決するための手段】 請求項1に記載の半導体装置の評価方法は、絶縁膜上の電極にイオンを注入し、更に熱処理した後のデバイスにおける前記電極に注入される総電荷量 Q_{st} と破壊に至るまでに絶縁膜を流れた電荷量 Q_{bd} との特性から前記絶縁膜の劣化状態を評価するものである。

【0007】 また、請求項2に記載の半導体装置の評価方法は、イオン注入しないデバイスを用いて測定した前記電極に注入される総電荷量 Q_{st} と破壊に至るまでに絶縁膜を流れた電荷量 Q_{bd} との特性を基準とし、この基準形状に近似するか否かによって評価するものである。また、請求項3に記載の半導体装置の評価方法は、前記熱処理を、加熱装置による長時間アニール、RTA法による短時間アニール又は加熱装置による長時間アニールとRTA法による短時間アニールとの併用のうちいずれか1つによって行うものである。

【0008】 また、請求項4に記載の半導体装置の評価装置は、絶縁膜上の電極にイオンを注入し、更に熱処理した後のデバイスにおける前記電極に注入される総電荷量 Q_{st} と破壊に至るまでに絶縁膜を流れた電荷量 Q_{bd} との特性を検出する手段と、この特性から前記絶縁膜の劣化状態を評価する手段とを設けたものである。また、請求項5に記載の半導体装置の評価装置は、イオン注入しないデバイスを用いて測定した前記電極に注入される総電荷量 Q_{st} と破壊に至るまでに絶縁膜を流れた電荷量 Q_{bd} との特性を予め基準として記憶する手段と、この基準形状に近似するか否かによって前記絶縁膜の劣化状態を判定する手段を設けたものである。

【0009】 また、請求項6に記載の半導体装置の評価装置は、評価の結果を報知する手段を設けたものであ

3

る。また、請求項7に記載の半導体装置の評価装置は、前記熱処理を、加熱装置による長時間アニール、RTA法による短時間アニール又は加熱装置による長時間アニールとRTA法による短時間アニールとの併用のうちいずれか1つによって行うものである。

【0010】

【作用】酸化膜のような絶縁膜の上の電極にイオンを注入した後に、絶縁膜を熱処理、すなわち、加熱装置による長時間アニールあるいはRTA法による短時間アニールを行うことにより、又は、加熱装置による長時間アニールとRTA法による短時間アニールとを併用することにより、イオン注入の衝撃によるダメージが改善される。

【0011】ダメージが改善されたか否かは、電極に注入される総電荷量 Q_{st} （以下、単に Q_{st} という）と破壊に至るまでに絶縁膜を流れた電荷量 Q_{bd} との特性グラフにより判断することができる。この特性グラフが、ダメージが改善されたことを示している間は、イオン注入によりダメージが与えられたことを意味するから、逆に、この特性グラフが、ダメージが改善されたことを示さなくなるように条件をしていくことで、絶縁膜にダメージを与えないような条件を見つげることが可能である。

【0012】評価装置は、これらのことを自動的に実現するものである。ダメージの修復状況をオペレータに知らせる。

【0013】

【実施例】本発明の実施例を図面に基づいて説明する。図1A及び図1Bは本実施例における実験で用いたテストデバイスの断面構造を示している。n型（100）シリコン基板1上にLOCOS法により素子分離領域2を形成した後、ウェット雰囲気中で膜厚15nm（150Å）のゲート酸化膜3を成長させ、その後、ポリシリコン電極4を形成している。電極のエッチングはECRプラズマエッチングで行った。ゲート酸化膜の面積は $20 \times 20 \mu m^2$ と一定とし、アンテナ比（ポリシリコン電極とゲート酸化膜の面積比）を1000～16000とした種々の面積のポリシリコン電極を持つパターンを用いた。

【0014】図1Aはポリシリコン電極4の膜厚が200nm（2000Å）の試料で、この場合は、イオン注入を行った時、アンテナの電極が集める電荷が酸化膜に集中する事によるダメージ（以下、チャージダメージという）と、ポリシリコン膜厚が比較的薄いため注入したイオンやノックオン原子が直接酸化膜に到達する事によるダメージ（以下、イオン照射ダメージという）とが混在する。

【0015】一方、図1Bの場合は、ポリシリコン電極4の膜厚が800nm（8000Å）と厚いため、注入されたイオン又はノックオン原子は、直接酸化膜に到達することができず、酸化膜に加わるストレスは電極が集める電荷によるチャージダメージのみとなる。イオン注入

4

はウェハホイルを有するバッチ式のイオン注入装置を用い、ヒ素（As⁺）をビーム電流：12mA、加速エネルギー：30～50keV、ドーズ量： $1 \times 10^{14} \sim 2 \times 10^{16} / cm^2$ の範囲の条件で行った。尚、注入時に電子シャワーによる電荷の中和は行っていない。また、低ドーズ注入には枚葉式の中電流イオン注入装置を用いた。

【0016】熱処理は、注入を行った直後に電気炉アニール（Furnace Annealing：以下、FAという）で、温度：700～1000℃、時間30分、又はランプアニール（Rapid Thermal Annealing：以下、RTAという）で、温度：900～1100℃、時間10～30秒の条件で行った。さて、酸化膜のような絶縁膜は、ある一定の電圧を印加し続けると、ある時間が経過した後、絶縁破壊を生じる。この絶縁破壊に至る時間は絶縁膜に加えられる電界強度の関数である。これが経時的絶縁破壊現象、すなわち、TDDDB（Time-Dependent Dielectric Breakdown）と呼ばれる。

【0017】 Q_{bd} （破壊に至るまでに酸化膜を流れた電荷量）は、種々の条件でイオン注入を行ったアンテナキャパシタに定電流ストレス（10～25mA/cm²）を印加したTDDDB測定から50%破壊に至るまでの時間を求め、次式を用いて計算したものである。

$$Q_{bd} = i_{st} \times t_{db}$$

ここで、 i_{st} はストレス電流、 t_{db} は50%破壊に至る時間である。尚、ストレス電流は10mA/cm²とした。

【0018】更に、イオン注入で与えたストレスと Q_{bd} の関係を定量化するために、イオン注入におけるチャージのストレスを Q_{st} というパラメータを用いる。イオン注入では、ドーズ量からウェハの単位面積当りに注入されるイオンの量（電荷量）が判る。アンテナキャパシタにイオン注入を行った場合、電極（アンテナ）面積からキャパシタが受け取る電荷量が求められる。その電荷が全て薄いゲート酸化膜に流れ込むと仮定すると、イオン注入中にゲート酸化膜に流れるストレス電荷量 Q_{st} は次式により計算できる。

$$Q_{st} = q \times D \times R$$

ここで、 q は素電荷、 D はドーズ量、 R はアンテナ比を表わす。以上のとおりの条件下において、図2はポリシリコン電極4の膜厚が800nmの場合の Q_{bd} と Q_{st} の関係を示したものであり、イオン注入によるストレスが増加するときの酸化膜劣化の進行具合を表したものである。

【0020】条件として、As⁺を加速電圧：50keV、ドーズ量： $1.0 \times 10^{16} / cm^2$ の条件でイオン注入し、その後、処理時間30分のFAによる熱処理を行った。また、 Q_{st} はアンテナ比により変化させている。一般に、定電流TDDDBでは酸化膜を通過する電荷量の分だけ Q_{bd} が減少する。従って、イオン注入を行っていない酸化膜の Q_{bd} は、横軸に定電流ストレスによる注入電荷量をとると、図中の点線で示すライン（ $Q_{bd} = Q_{bd0} -$

5

Qstで表わされるQbd0をy切片とした傾きー（マイナス）1の直線）に沿って減少していくことになる。

【0021】ポリシリコン電極4の膜厚が800nmの場合には、注入イオンは酸化膜まで到達する事はなく、酸化膜に加わるストレスは電荷によるもののみとなる。図から、熱処理によってQbd値は、ほとんど回復しないことが分かる。尚、900℃の場合アンテナ比が小さい領域でQbd値の若干の回復が見られるが、これは注入前のQbd値（Qbd0）よりも値が大きくなっていることから、試料作製時のエッチングによるダメージが回復したものと考えられる（別途、イオン注入を行っていない試料のアニール実験を行ったが、900℃においては同様の結果となった）。

【0022】また、1000℃ではQstの値に関係なくQbdは約30C/cm²と一定となる。これは1000℃の熱処理を施すことにより酸化膜が変質しており、イオン注入の有無にかかわらず最終的に同じ膜質になったためと考えられる。図3は、熱処理をRTAで行った場合のQbdとQstとの関係を示したものである。FAの場合と同様に、注入によるチャージダメージはほとんど回復しないという傾向がみられる。

【0023】ところで、イオン注入装置の構造上、イオン注入は間欠的に行われるから、チャージダメージも間欠的に加えられることになる。図4は、ストレスを連続的に加えたFNストレスとどのように違うのかを調べるため、TDD測定器でFNストレスを種々の電流密度で加えた試料に熱処理を施した結果を示したものである。条件はFA温度900℃、時間30分とした。

【0024】この場合においても、熱処理前後でQbd値に変化は見られず、イオン注入でストレスを与えた場合（すなわち、間欠的にチャージダメージを加えた場合）と同様の傾向を示している。従って、ポリシリコン電極4の膜厚が800nmの場合、イオン注入による酸化膜の劣化は、連続的に加えたFNストレスと同様、トンネル電流が酸化膜に流れることによるものであるといえる。更に、熱処理によってQbd値が回復しない傾向も同様である。

【0025】次に、図5及び図6はポリシリコン電極4の膜厚が200nmの場合のQbdとQstとの関係を示している。図5はFAの場合、図6はRTAを行った場合の結果である。イオン注入条件は、チャージダメージの場合と同様にAs⁺を、加速電圧：50keV、ドーズ量：1.0×10¹⁶/cm²とした。この場合、注入されたイオン又はノックオン原子が酸化膜まで到達し、イオン照射ダメージとチャージダメージが混在している状態になっている。

【0026】この実験条件においては、アンテナ比を変えることにより通過電荷量Qstを変化させているため、どの測定点においてもイオン照射ダメージに関しては同じ量である。このような条件では、チャージダメージよ

6

りもイオン照射ダメージが支配的となり、Qbd値はチャージダメージのみの場合と比べてかなり小さくなる。このようなダメージが加わった試料にFAによる熱処理を施すと、図5の通り、800℃以下ではほとんどQbdの回復は見られないが、900℃ではQstの値に関係なく30C/cm²までQbd値が回復している。

【0027】このことから、ポリシリコン電極4の膜厚の薄い場合には、イオン照射ダメージが支配的であり、その際の欠陥は高温の熱処理により回復することが分かる。また、RTAの場合の試料においても、FAの場合と同様に、熱処理を行うとQbdの値が増加している。また、処理温度が高く処理時間が長くなるにつれてその回復量も大きくなっている。

【0028】前述した通り、ポリシリコン電極4の膜厚の薄い場合には、酸化膜中にイオン又はノックオン原子が注入されている。図7は、このような場合に、酸化膜の電流電圧特性がどう変化するかを調べた結果を示している。条件は、ポリシリコン電極4の膜厚：200nm、注入イオン：As⁺、加速電圧：50keV、ドーズ量：5×10¹⁴/cm²とし、熱処理は行っていない。

【0029】図からは、FN電流が観測される高い電界領域（6MV/cm以上）において、イオン注入による特性の変化が見られることが分かる。図8は、この時の伝導メカニズムを調べるために、注入前、注入後、熱処理後の高電界（10MV/cm）における温度特性を調べた結果を示している。注入前には測定温度により電流は変化しないが、注入を行った試料においては温度依存性が見られるようになる。さらに、900℃のFAを行うと、この温度依存性がなくなっている。このことより、イオン照射ダメージが加わった試料では、酸化膜中に欠陥が形成され、それによるトラップ準位を介した電気伝導による電流成分が含まれるようになっていいると考えられる。また、その欠陥は900℃の熱処理により回復することも分かる。

【0030】上に述べた電流電圧特性の温度依存性の変化と酸化膜中の欠陥を関連付けるために、酸化膜の構造解析を行った結果について以下に述べる。チャージダメージ、イオン照射ダメージそれぞれについて、酸化膜中の欠陥をESR法（Electron Spin Resonance：電子スピン共鳴法）を用いて評価した。更に、酸化膜が非常に薄いので、感度を上げるために10Kの極低温で測定した。

【0031】図9はポリシリコン電極4の膜厚が200nmの場合のゲート酸化膜3のESRスペクトルを示したものである。注入条件は、注入イオン：As⁺、加速電圧：50keV、ドーズ量：1.0×10¹⁶/cm²で、熱処理条件は、「処理なし」、「FA：温度900℃、時間30分」、「RTA：温度1000℃、時間10秒」の3種類とした。

【0032】イオン注入後の試料において、g値（磁

気モーメントに比例する量)が2.0006に常磁性中心が観測されている。これはSiO₂中に酸素空孔がある欠陥状態(E' センター)によるもので、SiO₂中のSi-O結合が切れて、不対電子が発生していることが分かる。この時のスピン密度は、E' センターが15nmの酸化膜中に均一に存在すると仮定すると、 6.3×10^{17} spins/cm³となる。注入後、FA:温度900℃、時間30分又はRTA:温度1000℃、時間10秒の熱処理を施すことにより、上記の常磁性中心は消滅している。

【0033】すなわち、熱処理により、前記酸素空孔による欠陥状態が修復されたことが分かる。図10はポリシリコン電極4の膜厚が200nmの試料におけるゲート酸化膜3のFTIR-ATR (Fourier Transform Infrared-Attenuated Total Reflectance: 内部多重反射フーリエ変換赤外分光) スペクトルを示したものである。

【0034】820/cm付近のピークは、O-Si-Oの変角振動(Bending Mode)で、SiO₂膜であることを示しており、すべての条件で変化は見られない。一方、940/cm付近に見られるピークは、注入直後のみ観測され、熱処理を行うことにより消滅している。ここで見られるピークは、SiO₂膜中のSi-Oの伸縮振動(Stretching Mode)が、980/cmといわれていることから、この980/cmにみられる吸収が歪みにより低波数側にシフトしたものであると考えられる。

【0035】すなわち、イオン照射によって酸化膜中のSi-Oの結合が切断され、SiOに近い構造に変化していることが考えられる。一方、このピークは透過測定においては認められなかった。このことから、イオン照射による膜構造の変化はゲート酸化膜3の極表面でのみ起こっており、これが表面での分解能の高いATR法(Attenuated Total Reflectance: 内部多重反射法)で観測されたものと考えられる。

【0036】このことは、イオン照射ダメージにおいて、上記熱処理条件で、Qbdの回復が見られており、また電流電圧特性における温度依存性もなくなっていることからE' センターが、Qbd値及び伝導のメカニズムに大きく関与していることが考えられる。図11は、イオン照射による膜構造の変化がゲート酸化膜3の極表面でのみ起こっていることを裏づけるデータであり、図10と同様ポリシリコン電極4の膜厚が200nmの試料におけるイオン注入直後のゲート酸化膜3のFTIR-ATRスペクトルを、ゲート酸化膜3の膜厚が149Å、144Å、128Å、124Å、117Å及び110Åの地点でそれぞれ測定したものである。

【0037】測定は、ゲート酸化膜3をフッ酸を用いて段階的にエッチングし、その度に行った。また、イオン注入の条件は、As⁺を、加速電圧: 50keV、ドーズ量: 1.0×10^{16} /cm²とした。Si-Oの伸縮振動による歪みが、ゲート酸化膜3の表面に近い149Å、1

44Å、128Å、124Å及び117Åの地点で見られ、それ以外の地点(ゲート酸化膜3中の深い地点)では見られない。また、この減少は、イオン注入の加速電圧を60KeVに変えた場合でも同様であった。

【0038】一方、ポリシリコン膜厚が800nmの試料では、常磁性中心は観測されなかった。従って、この条件の場合はイオン又はノックオン原子が直接酸化膜に到達していない事を示している。さて、図12は本実施例における酸化膜へのダメージ評価装置の構成を示すブロック図である。

【0039】5は試料測定室、6はTDD B測定装置、7はQbd測定部、8はQst演算部、9は制御装置(例えばコンピュータ)、10はCRT、プリンタ、音声発生器等からなる報知装置である。イオン注入し、熱処理したテストデバイスを前記試料測定室5内に入れ、TDD B測定装置6からの測定結果に基づき、Qbd測定部7及びQst演算部8からのデータが制御装置9に入力される。

【0040】制御装置9はイオン注入しないテストデバイスによる基準値(図2における点線に示す状態)を記憶する記憶部(例えばROM)11を有し、Qbd測定部7及びQst演算部8から入力されたデータによる特性と、前記基準値とを比較する。制御装置9は、測定データが図5又は図6に示すような特性であれば、ダメージが回復された、すなわち「当初はイオン照射ダメージが存在した」と判断し、その旨を報知装置10によって報知する。更に、そのように判断した場合には、イオン注入時の加速電圧が高すぎたかドーズ量が多すぎたかであるから、いずれか(または双方)を低下させるように報知装置10をもって指示する。

【0041】オペレータは、この報知装置10からの指示に基づき、適宜調整すればよい。尚、制御装置10は、測定データが例えば図2に示すような特性を示していれば、少なくともイオン照射ダメージはないと判断し、その旨を報知装置10によって報知する。

【0042】

【発明の効果】本発明の半導体装置の評価方法および評価装置にあつては、イオン注入時の電極下の絶縁膜にダメージを与えないような条件を簡単に見つけ出すことができる。

【図面の簡単な説明】

【図1】本発明を実証するための実験に用いたテストデバイスの断面図である。

【図2】本発明の実施例におけるFA処理条件下でのイオン照射ダメージを受けていないデバイスを用いて測定したQbdとQstとの関係を示すグラフである。

【図3】本発明の実施例におけるRTA処理条件下でのイオン照射ダメージを受けていないデバイスを用いて測定したQbdとQstとの関係を示すグラフである。

【図4】本発明の実施例におけるQbdとFNストレスと

の関係を示すグラフである。

【図5】本発明の実施例におけるF A処理条件下でのイオン照射ダメージを受けているデバイスを用いて測定した Q_{bd} と Q_{st} との関係を示すグラフである。

【図6】本発明の実施例におけるR T A処理条件下でのイオン照射ダメージを受けているデバイスを用いて測定した Q_{bd} と Q_{st} との関係を示すグラフである。

【図7】イオン照射ダメージを受けている酸化膜の電流電圧特性を示すグラフである。

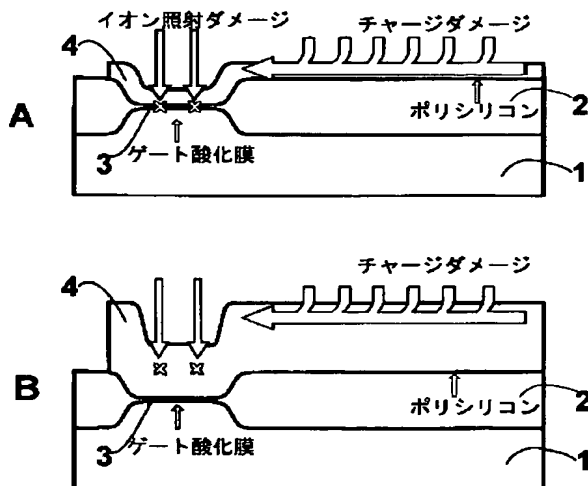
【図8】酸化膜の温度依存特性を示すグラフである。

【図9】酸化膜のE S Rスペクトルを示すグラフである。

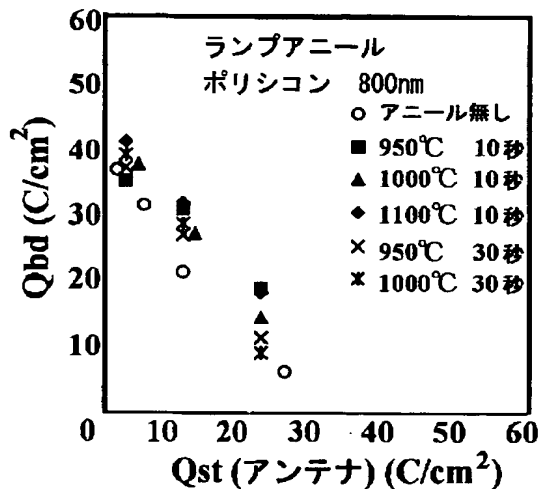
【図10】酸化膜のA T Rスペクトルの変化を示すグラフである。

【図11】イオン注入直後の酸化膜中のA T Rスペクトルの深さ方向の解析結果を示すグラフである。

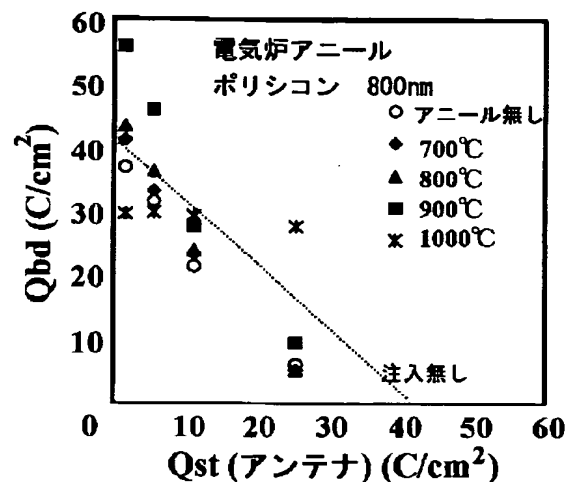
【図1】



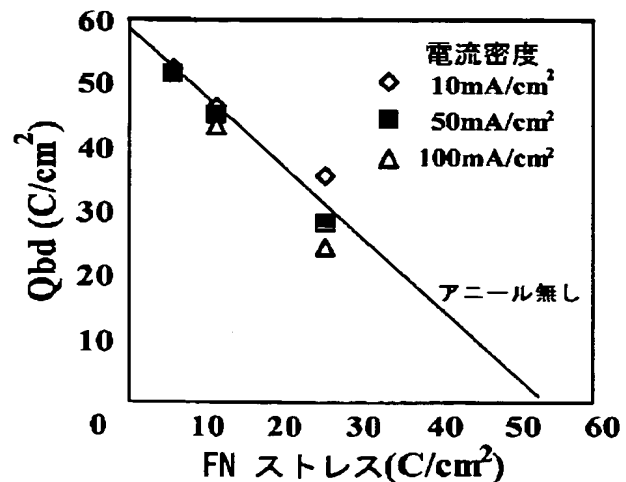
【図3】



【図2】



【図4】



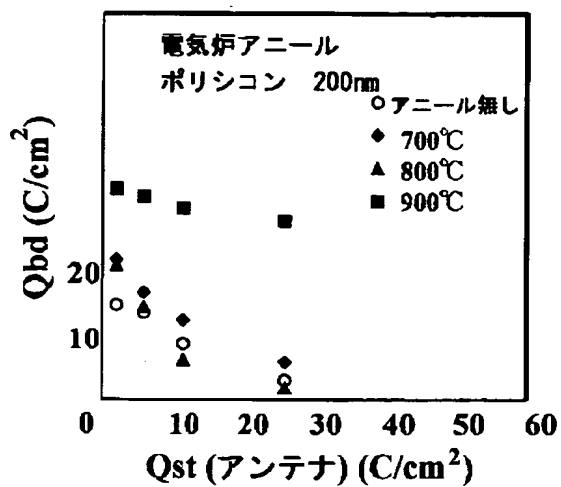
【図12】本発明の実施例における評価装置のブロック回路図である。

【図13】ノックオン原子の酸化膜への侵入動作を説明するための半導体装置の断面図である。

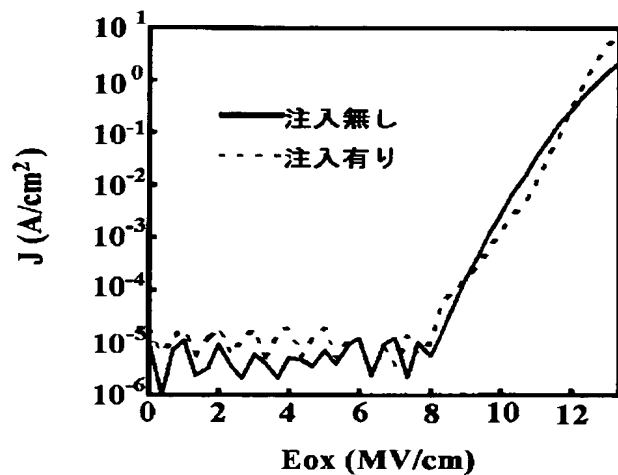
【符号の説明】

- 1 シリコン基板
- 3 ゲート酸化膜
- 4 ポリシリコン電極
- 5 試料測定室
- 10 T D D B測定装置 (特性検出手段)
- 7 Q_{bd} 測定部 (特性検出手段)
- 8 Q_{st} 演算部 (特性検出手段)
- 9 制御装置 (特性検出手段、評価手段)
- 10 報知装置 (報知手段)
- 11 記憶部 (記憶手段)

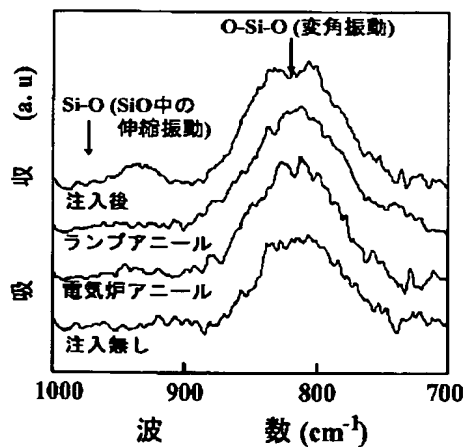
【図5】



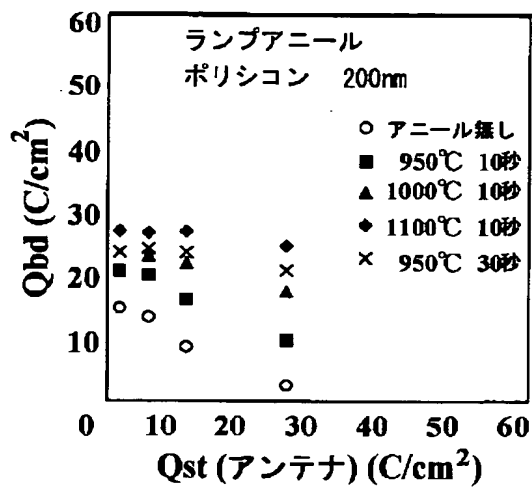
【図7】



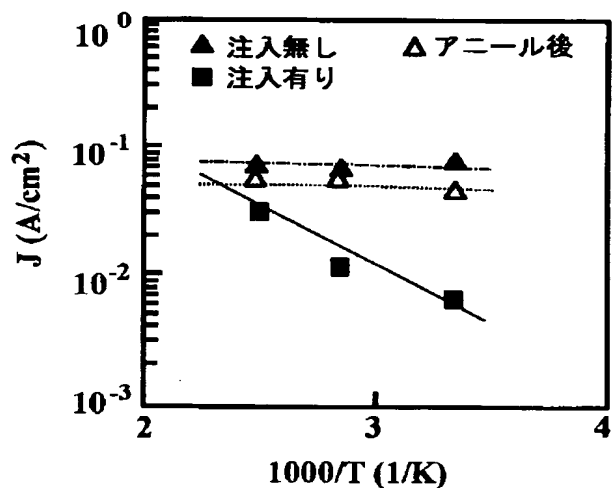
【図10】



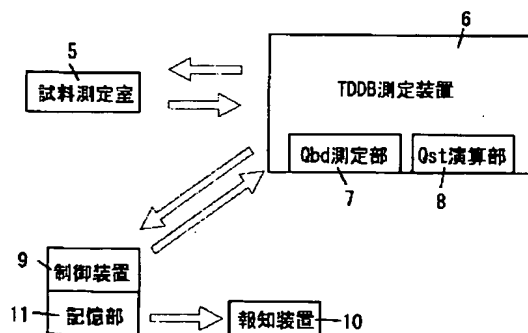
【図6】



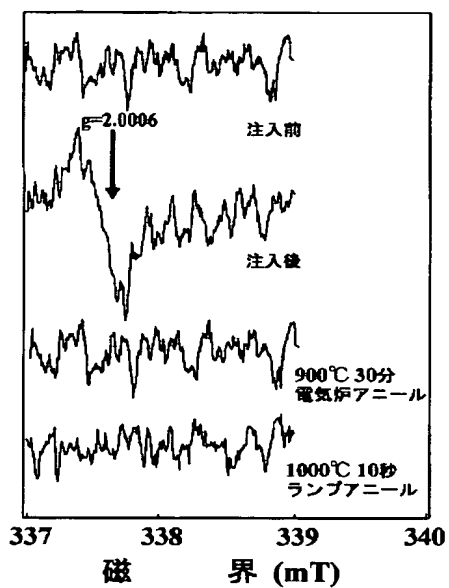
【図8】



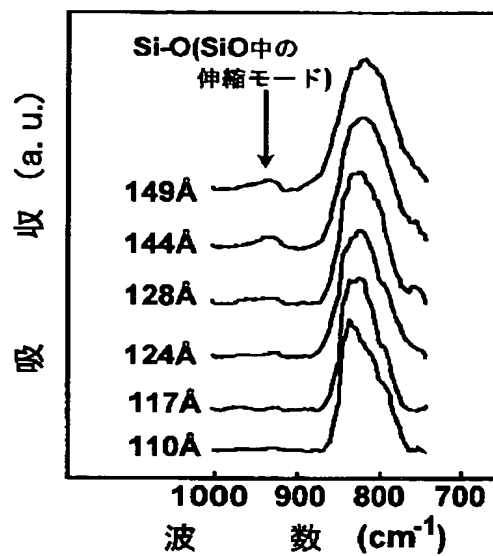
【図12】



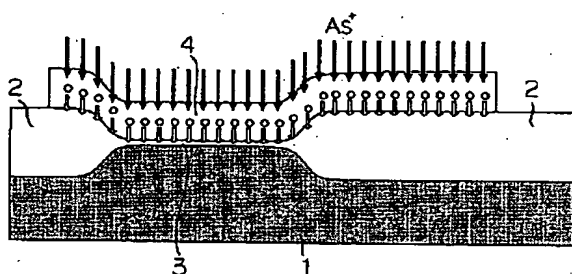
【図9】



【図11】



【図13】



フロントページの続き

(72)発明者 豆野 和延

大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内